

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-82826

(43)公開日 平成6年(1994)3月25日

(51)Int.Cl.⁵

G 0 2 F 1/136

H 0 1 L 27/12

29/784

識別記号

5 0 0

A

庁内整理番号

9018-2K

9056-4M

F I

H 0 1 L 29/ 78

3 1 1 A

技術表示箇所

審査請求 未請求 請求項の数3(全 7 頁)

(21)出願番号 特願平4-236204

(22)出願日 平成4年(1992)9月3日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 松島 康浩

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 山下 俊弘

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 島田 尚幸

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

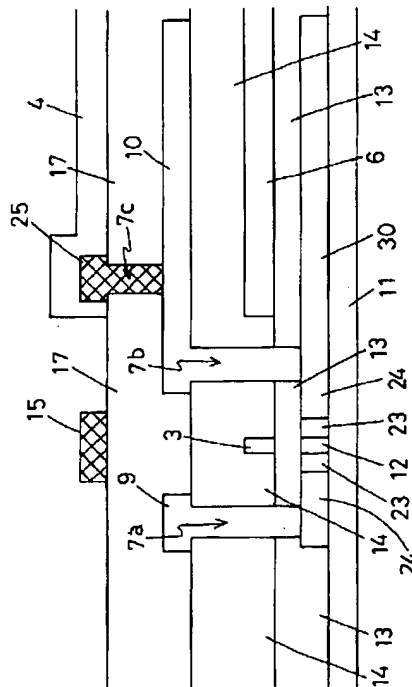
(74)代理人 弁理士 山本 秀策

(54)【発明の名称】 アクティブマトリクス基板およびその製造方法

(57)【要約】

【目的】 TFTのオン/オフ特性を向上させる。

【構成】 LDD (Lightly Doped Drain) 構造のTFTにおいて、少なくとも半導体層30のチャネル部12と中濃度不純物領域23を覆うようにして金属膜15が形成されている。このことにより、光の回り込みによりチャネル部12に光が照射されることはなく、光照射時におけるTFTのオフ電流の上昇が防止できる。さらに、該金属膜15に電圧が印加できるようになっており、金属膜15はTFTに対してサブゲートとして作用する。このことにより、TFTのオフ電流を減少し、オン電流を増加させることができる。



【特許請求の範囲】

【請求項1】 基板上に絵素電極がマトリクス状に形成され、該絵素電極の周辺部を通して、複数の走査配線および複数の信号配線が形成され、両配線の交差位置近傍に、絵素電極を駆動する薄膜トランジスタが形成されたアクティブマトリクス基板において、該薄膜トランジスタが5つの領域に区分された半導体層を有し、該5つの領域において、最外領域が各々ソース領域およびドレイン領域となる高濃度不純物領域とされ、その内側が中濃度不純物領域とされ、中央部がチャネル部とされていると共に、該半導体層に対して、間にゲート絶縁膜を介してゲート電極が設けられた構成となっており、この状態の薄膜トランジスタの上に、間に1以上の絶縁膜を介して金属膜が該チャネル部と該中濃度不純物領域を少なくとも覆って形成されているアクティブマトリクス基板。

【請求項2】 前記金属膜が、電圧を印加できる構成とされている請求項1に記載のアクティブマトリクス基板。

【請求項3】 基板上に絵素電極がマトリクス状に形成され、該絵素電極の周辺部を通して、複数の走査配線および複数の信号配線が形成され、両配線の交差位置近傍に、絵素電極を駆動する薄膜トランジスタが形成され、該薄膜トランジスタが5つの領域に区分されたLDD構造の半導体層を有し、該半導体層に対して、間にゲート絶縁膜を介してゲート電極が設けられた構成のアクティブマトリクス基板の製造方法であって、該薄膜トランジスタの上に、1以上の絶縁膜を形成する工程と、該絶縁膜にコンタクトホールを形成する工程と、該コンタクトホールに充填し、かつ、該薄膜トランジスタの上に該チャネル部と該中濃度不純物領域とを少なくとも覆って金属膜を形成する工程と、少なくとも該コンタクトホールに充填した金属膜部分と接続して該絵素電極を形成する工程と、を含むアクティブマトリクス基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置等に用いられるアクティブマトリクス基板およびその製造方法に関する。

【0002】

【従来の技術】従来、液晶表示装置として、高いコントラストを有し、絵素数が制約されないなどの利点があるアクティブマトリクス型表示装置が用いられている。このアクティブマトリクス型表示装置に用いられるアクティブマトリクス基板においては、絶縁性基板上にマトリクス状に配した絵素電極が、薄膜トランジスタ(TFT)などのアクティブ素子を用いて独立駆動される。

【0003】図5に、TFTをアクティブ素子として用

いたアクティブマトリクス基板の一例を示す。このアクティブマトリクス基板は、基板11上に、複数のゲートバスライン1と複数のソースバスライン2とが設けられている。各ゲートバスライン1と各ソースバスライン2との交差位置近傍には、両ラインに接続されてTFT26が設けられている。TFT26には、絵素電極が接続されており、この絵素電極と対向電極との間に液晶が封入されて絵素57が形成されている。TFT26は、ゲート駆動回路54からゲートバスライン1を通じて送られるゲート信号により制御されている。そして、ソース駆動回路52からソースバスライン2を通じて送られる映像信号は、TFT26がオン状態の時に絵素57に書き込まれる。書き込まれた映像信号は、TFT26がオフ状態の間、絵素57に保持される。さらに、絵素57と並列に付加容量用配線8に接続された付加容量27が形成されており、上記映像信号の保持性が向上されている。

【0004】このアクティブマトリクス基板は、具体的には図6のようになっている。このアクティブマトリクス基板において、TFT26は絶縁性基板11上に形成された半導体層30を有している。この半導体層30の上に、ゲート絶縁膜13が形成され、さらにゲート絶縁膜13の上にゲートバスラインから分岐されたゲート電極3が形成されている。その状態の基板のほぼ全面に、第1の層間絶縁膜14が形成されている。

【0005】この第1の層間絶縁膜14とゲート絶縁膜13とを貫通してコンタクトホール7a、7bが開口されている。第1の層間絶縁膜14の上には、ソースバスラインから分岐されたソース電極9およびドレイン電極10が形成されており、コンタクトホール7a、7bを通じて半導体層30に接続されている。

【0006】さらに基板のほぼ全面に、第2の層間絶縁膜17が形成され、この第2の層間絶縁膜17には、コンタクトホール7cが開口されている。コンタクトホール7cを充填するように金属膜25が形成され、第2の層間絶縁膜17の上には、金属膜25と接続して絵素電極4が形成されている。この金属膜25(図中、網掛け部分)が形成されていることにより、オーミックコンタクトをとることができる。

【0007】また、ゲート絶縁膜13の上には、ゲートバスライン1と平行に付加容量用配線8から分岐された付加容量用電極6が設けられ、付加容量が形成されている。

【0008】このアクティブマトリクス基板において、TFT26はLDD(Lightly Doped Drain)構造とされている。この構造においては、多結晶シリコンからなる半導体層30は、5つの領域を有しており、チャネル部12とソース領域およびドレイン領域となる高濃度不純物領域24との間に、高濃度不純物領域に比べて不純物濃度が低い中濃度不純物領域23が1.5~2μmの幅で形成されている。この中濃度不純物領域23においては、高濃度不

3

純物領域24に比べて抵抗が高くなり、TFTのオフ電流の発生を減少させることができる。また、デュアルゲート構造のTFTに比べて、TFTの面積を小さくできるため、液晶表示装置の開口率を大きくできる。よって、液晶表示装置を小型化高精細化することができる。

【0009】

【発明が解決しようとする課題】しかし、上記のようなアクティブマトリクス基板では、液晶表示装置に用いられた場合、光の照射により半導体層30のチャネル部22の特性が変化し、TFTのオフ電流が増加して、液晶表示装置の表示コントラストが低くなる虞れがある。光の照射を防ぐために、この基板の対向基板上に遮光膜を形成することもできるが、その場合は液晶表示装置の開口率が低くなる虞れがある。

【0010】本発明は、上記の問題点を解決するものであり、その目的は、TFTのオフ電流の増加を防止でき、開口率が大きい液晶表示装置を実現できるアクティブマトリクス基板を提供することである。

【0011】

【課題を解決するための手段】本発明のアクティブマトリクス基板は、基板上に絵素電極がマトリクス状に形成され、該絵素電極の周辺部を通して、複数の走査配線および複数の信号配線が形成され、両配線の交差位置近傍に、絵素電極を駆動する薄膜トランジスタが形成されたアクティブマトリクス基板において、該薄膜トランジスタが5つの領域に区分された半導体層を有し、該5つの領域において、最外領域が各々ソース領域およびドレイン領域となる高濃度不純物領域とされ、その内側が中濃度不純物領域とされ、中央部がチャネル部とされていると共に、該半導体層に対して、間にゲート絶縁膜を介してゲート電極が設けられた構成となっており、この状態の薄膜トランジスタの上に、間に1以上の絶縁膜を介して金属膜が該チャネル部と該中濃度不純物領域を少なくとも覆って形成されており、そのことにより上記目的が達成される。

【0012】前記金属膜が、電圧を印加できる構成とされているもよい。

【0013】本発明のアクティブマトリクス基板の製造方法は、基板上に絵素電極がマトリクス状に形成され、該絵素電極の周辺部を通して、複数の走査配線および複数の信号配線が形成され、両配線の交差位置近傍に、絵素電極を駆動する薄膜トランジスタが形成され、該薄膜トランジスタが5つの領域に区分されたLDD構造の半導体層を有し、該半導体層に対して、間にゲート絶縁膜を介してゲート電極が設けられた構成のアクティブマトリクス基板の製造方法であって、該薄膜トランジスタの上に、1以上の絶縁膜を形成する工程と、該絶縁膜にコンタクトホールを形成する工程と、該コンタクトホールに充填し、かつ、該薄膜トランジスタの上に該チャネル部と該中濃度不純物領域とを少なくとも覆って金属膜を

4

形成する工程と、少なくとも該コンタクトホールに充填した金属膜部分と接続して該絵素電極を形成する工程とを含み、そのことにより上記目的が達成される。

【0014】

【作用】LDD構造のTFTにおいては、半導体層が5つの領域を有しており、チャネル部とソース領域およびドレイン領域となる高濃度不純物領域との間に、高濃度不純物領域よりも不純物濃度が低い中濃度不純物領域が形成されている。この半導体層のチャネル部と中濃度不純物領域を少なくとも覆うようにして、金属膜が形成されている。チャネル部のみではなく、中濃度不純物領域まで覆われているので、光の回り込みによりチャネル部に光が照射されることはなく、遮光することができる。よって、光照射時におけるTFTのオフ電流の上昇が防止できる。また、この基板を液晶表示装置に用いた場合、この金属膜が形成されている部分には、この基板の対向基板には遮光膜を形成する必要がないので、液晶表示装置の開口率を大きくすることができる。さらに、該金属膜に電圧をかけることにより、金属膜がTFTのサブゲートとして作用する。よって、TFTのオフ電流を減少し、オン電流を増加させることもできる。

【0015】

【実施例】以下、本発明の実施例について図面を参照して説明する。

【0016】（実施例1）図1は、本発明の一実施例であるアクティブマトリクス基板を示す平面図であり、図2は、図1のA-A'線による断面図である。このアクティブマトリクス基板は、絶縁性基板11上に、ゲートバスライン1とソースバスライン2とが縦横に形成され、両ラインで囲まれた領域に絵素電極4が形成されている。また、この絵素電極4を駆動するためにTFTが接続されている。

【0017】このアクティブマトリクス基板において、TFTは、図5と同様に、LDD構造とされており、絶縁性基板11上に形成された半導体層30を有している。この半導体層30を覆うようにして、基板のほぼ全面に、ゲート絶縁膜13が形成され、さらにゲート絶縁膜13の上にゲートバスライン1から分枝されたゲート電極3が形成されている。その状態の基板のほぼ全面に第1の層間絶縁膜14が形成されている。

【0018】この第1の層間絶縁膜14とゲート絶縁膜13とを貫通してコンタクトホール7a、7bが開口されている。第1の層間絶縁膜14の上には、ソースバスライン2から分岐されたソース電極9およびドレイン電極10が形成されており、コンタクトホール7a、7bを通じて半導体層30に接続されている。

【0019】第1の層間絶縁膜14の上には、第2の層間絶縁膜17がさらに形成され、この第2の層間絶縁膜17には、コンタクトホール7cが開口されている。コンタクトホール7cを充填するように金属膜25（図中、網掛け

5

部分)が形成され、第2の層間絶縁膜17の上にも金属膜15(図中、網掛け部分)が形成されている。さらに金属膜25に接続して、絵素電極4が形成されている。金属膜15は、図2に示すように、半導体層30のチャネル部12と中濃度不純物領域を覆っており、独立した電圧がかけられるようになっている。

【0020】また、ゲート絶縁膜13の上には、ゲートバスライン1と平行に付加容量用配線8から分岐された付加容量用電極6が設けられ、付加容量が形成されている。

【0021】このアクティブマトリクス基板は、以下のようにして作製される。

【0022】まず、絶縁性基板11上に、厚さ40~80nmの多結晶シリコン膜からなる半導体層30をCVD法により形成する。次に、 SiO_2 または SiNx からなる厚さ約100nmの絶縁膜をCVD法またはスパッタリングにより積層し、これをパターンニングしてゲート絶縁膜13を形成する。このゲート絶縁膜13は、上記多結晶シリコン膜を熱により酸化して形成したものとしてもよい。

【0023】その上に、リンをドーブした多結晶シリコンからなる層をCVDもしくはスパッタリング法により、厚さ450nmに積層し、パターンニングしてゲートバスライン1、ゲート電極3および付加容量用配線6を形成する。次に、フォトリソグラフィにより半導体層30以外の領域にレジストパターンを形成し、このレジストパターンとゲート電極3をマスクとして、半導体層30に、リンを80keV、 $1 \times 10^{13} \text{cm}^{-2}$ の条件で注入した。さらに、半導体層30において、ゲート電極3から1.5~2.0 μm 離れた領域にレジストの抜きパターンを形成し、リンを30keV、 $1.0 \times 10^{15} \text{cm}^{-2}$ の条件で注入した。このことにより、半導体層30にチャネル部12、1.5~2 μm の幅を持つ中濃度不純物領域23、ソース領域およびドレイン領域となる高濃度不純物領域24が形成される。

【0024】次に、基板の全面に、CVD法により、 SiO_2 からなる第1の層間絶縁膜14を厚さ約300nm~1000nmに形成して、ウェットエッチングまたはドライエッチングにより、コンタクトホール7a、7bを設ける。そして、Alなどの低抵抗金属を用いて、CVDにより厚み約600nmのソースバスライン2、ソース電極9およびドレイン電極10を形成する。ソース電極9およびドレイン電極10は、それぞれ、コンタクトホール7aおよび7bを充填するように形成される。

【0025】さらに、基板の全面に、CVD法により、 SiO_2 または SiNx からなる厚さ約600nmの第2

6

の層間絶縁膜17を形成し、ウェットエッチングまたはドライエッチングによりコンタクトホール7cを設ける。そして、TiWやWSiなどからなる金属膜25および15をスパッタリングにより約120~150nmの厚みにデボし、その後ドライエッチングによりパターン形成した。これにより、コンタクトホールに充填された金属膜25と、半導体層30のチャネル部12を覆い、中濃度不純物領域と幅方向に対して1 μm 重なる金属膜15とが同時に形成される。金属膜25および15は、Alの合金、W、Mo、Tiからなっているとしてもよく、またMo、Tiの珪化物であってもよい。金属膜15の厚みは、材料により異なるが、光の透過を防止できる厚みとされ、TiWの場合では、150nmの厚みがあれば、ほぼ遮光できる。好ましくは、100オングストローム~数1000オングストロームである。

【0026】次に、スパッタリング法によりITOからなる厚さ100nm~200nmの絵素電極4を形成してアクティブマトリクス基板とする。ITOのエッチング時において、金属膜25がダメージを受ける場合には、金属膜25上にオーバーラップさせてITOパターンを形成しておけばよい。

【0027】(実施例2)図3は、本発明の他の実施例であるアクティブマトリクス基板を示す平面図であり、図4は、図3のA-A'線による断面図である。このアクティブマトリクス基板は、金属膜16(図中、斜線部分)が、実施例1の金属膜25および15の代わりに形成されており、図3に示すように、半導体層30のチャネル部12、中濃度不純物領域23および高濃度不純物領域24は完全に覆われている。この金属膜16は、図3に示すように、絵素電極4のエッジとなる部分に接している。作製方法としては、実施例1と同様に行うことができる。

【0028】以下に、このようにして作製された実施例1および実施例2のアクティブマトリクス基板について、TFTの特性試験を行った結果を示す。図7は、実施例1および実施例2のアクティブマトリクス基板の電流-電圧特性を示す図である。ここで、横軸はゲート電圧、縦軸はドレイン電流とし、ソース・ドレイン間の電圧は10Vとした。表1は、金属膜にかけた電圧 V_b に対するTFTのオン電流 I_{on} およびオフ電流 I_{off} を示す。ここで、オフ電流はゲート電圧=-10Vでの電流値、オン電流はゲート電圧15Vでの電流値である。尚、表1においては、比較例として、図5に示すような、金属膜がTFT部分に設けられていない従来のアクティブマトリクス基板を併せて示す。

【0029】

【表1】

7		8			
		実施例 2		比較例	
		I_{off}	I_{on}	I_{off}	I_{on}
金属膜に印加した電圧 V_b (V)	0	0.40	50	0.40	50
	5	0.25	56	—	—
	10	0.15	60	—	—
	15	0.09	65	—	—
光照射時	50万 lux (pA)	4.0	—	400	—

【0030】上記の図7および表1から理解されるように、実施例1および2のアクティブマトリクス基板においては、光照射時のTFTのオフ電流を減少させることができた。さらに、金属膜15に電圧を印加することにより、TFTのオン電流を増加させ、オフ電流を減少させることができる。

【0031】また、実施例2においては、絵素電極4のエッジとなる部分に接して、金属膜16が形成されており、絵素電極4と同じ電位になっている。よって、液晶表示装置に用いられた場合には、該エッジにおける液晶分子の配向乱れを抑制することもできる。

【0032】

【発明の効果】以上のように、本発明によれば、TFTのチャネル部が充分遮光されているので、光が照射された時にチャネル部の特性が変化してオフ電流が増加されることがない。また、液晶表示装置に用いられた場合には、金属膜が形成されている部分には、この基板の対向基板上に、別の遮光膜を形成する必要がないので、液晶表示装置の開口率を大きくすることができる。よって、表示特性にすぐれた液晶表示装置を得ることができる。さらに、金属膜に電圧を印加することにより、TFTのオン電流を増加させ、オフ電流を減少させることができる。

【図面の簡単な説明】

【図1】本発明の実施例1のアクティブマトリクス基板の平面図である。

*【図2】図1のA-A'線による断面図である。

【図3】本発明の実施例2のアクティブマトリクス基板の平面図である。

【図4】図3のA-A'線による断面図である。

【図5】一般的なアクティブマトリクス基板の模式図である。

【図6】従来のアクティブマトリクス基板の断面図である。

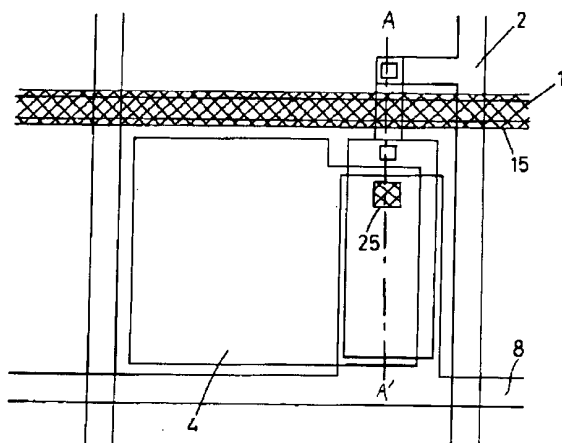
【図7】TFTの特性試験を行った結果を示す図である。

【符号の説明】

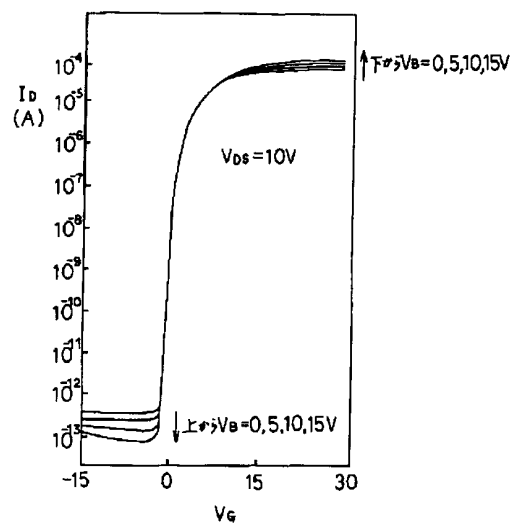
- 3 ゲート電極
- 4 絵素電極
- 6 付加容量用電極
- 7a、7b、7c コンタクトホール
- 9 ソース電極
- 10 ドレイン電極
- 12 チャネル部
- 13 ゲート絶縁膜
- 14 第1の層間絶縁膜
- 15、16、25 金属膜
- 17 第2の層間絶縁膜
- 23 中濃度不純物領域
- 24 高濃度不純物領域
- 30 半導体層

*

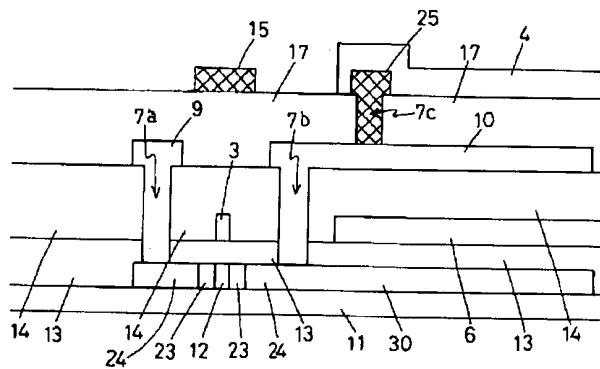
【図1】



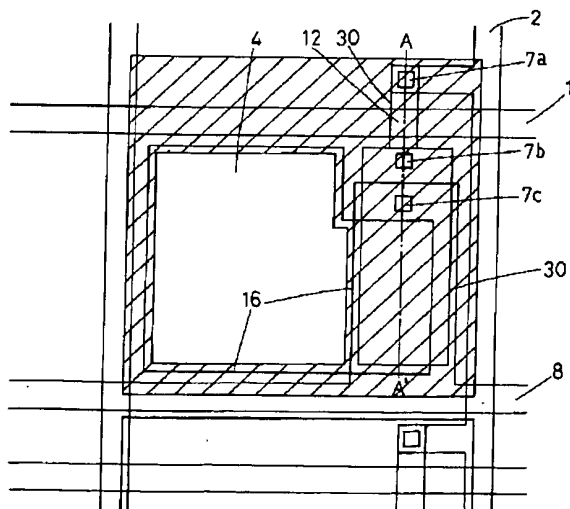
【図7】



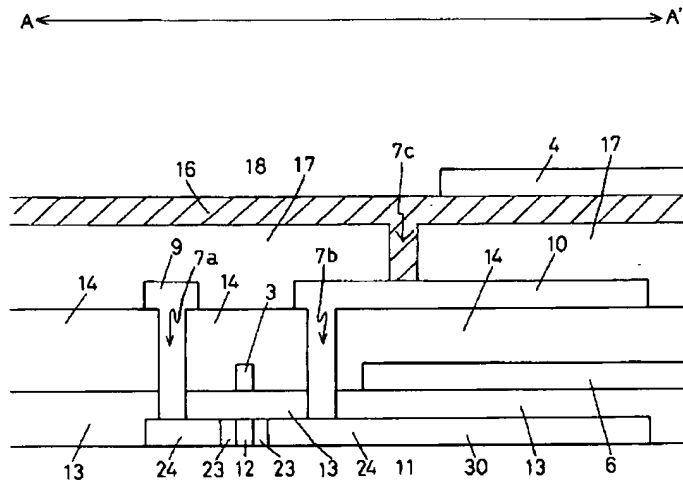
【図2】



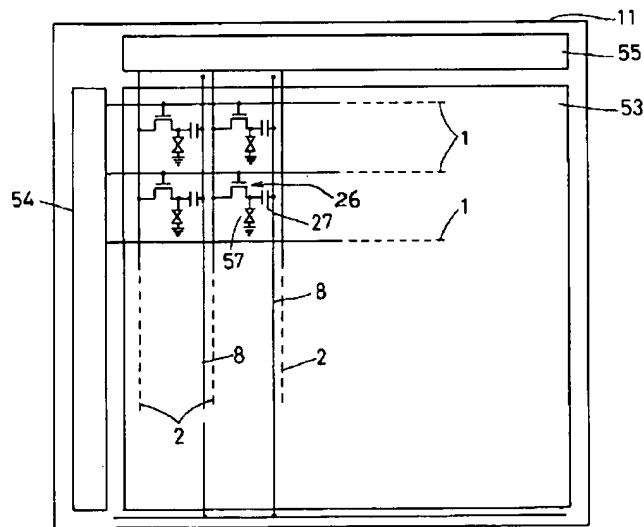
【図3】



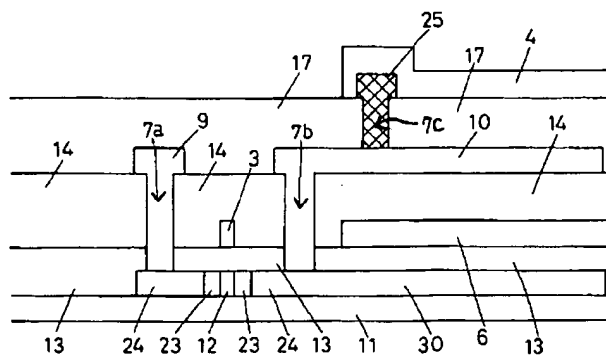
【図4】



【図5】



【図6】



PAT-NO: JP406082826A
DOCUMENT-IDENTIFIER: JP 06082826 A
TITLE: ACTIVE MATRIX SUBSTRATE AND ITS PRODUCTION
PUBN-DATE: March 25, 1994

INVENTOR-INFORMATION:

NAME

MATSUSHIMA, YASUHIRO

YAMASHITA, TOSHIHIRO

SHIMADA, NAOYUKI

ASSIGNEE-INFORMATION:

NAME

SHARP CORP

COUNTRY

N/A

APPL-NO: JP04236204

APPL-DATE: September 3, 1992

INT-CL (IPC): G02F001/136, H01L027/12 , H01L029/784

US-CL-CURRENT: 349/42, 349/FOR.111

ABSTRACT:

PURPOSE: To improve ON/OFF characteristics of a TFT by providing a metallic film which covers a channel part and an intermediate-density impurity area.

CONSTITUTION: The TFT in LDD(Lightly Doped Drain) structure has the metallic film 15 formed covering at least the channel part 12 and intermediate-density impurity area 23 of a semiconductor layer 30. Consequently, light never irradiates the channel part 12 by traveling around and the OFF current of the TFT at the time of light irradiation is prevented from increasing. Further, a voltage can be impressed to the metallic film 15, which further

operates as a
subgate for the TFT. Consequently, the OFF current of the TFT is
decreased and
the ON current is increased.

COPYRIGHT: (C)1994,JPO&Japio